

テクニカルノート

NOR Flash Cycling Endurance and Data Retention

はじめに

NOR フラッシュ メモリは物理的に劣化するものであり、これがデバイスエラーにつながる場合もあります。お客様からは、Micron の NOR デバイスのデータ保持期間について頻繁に質問を受けますが、これに対する回答はデバイス テストで得ることができます。本テクニカルノートでは、このテストにおける業界標準、Micron NOR フラッシュ テスト方法、NOR デバイス エラーを測定する 2 つの主要メトリックスの消去/書き込み寿命とデータ保持を義付けしています。また、2 つの事例研究では、Micron NOR フラッシュ デバイスを使用するアプリケーションを異なる耐久テストおよびデータ保持条件でテストし、そのテスト結果についても説明しています。

消去/書き込み寿命とデータ保持 テスト方法

業界標準 テスト方法

Micron では、最新の JEDEC グローバル標準をフラッシュ メモリ デバイスのテストに採用しています。(JESD47I 仕様は出版時の最新のバージョンです。)

表 1: JESD47I デバイス適格性テスト

ストレス	参照	略字	状態	要件	
				# ロット/SS (ロットごと)	期間/承認
高温動作寿命	JESD22-A108, JESD85	HTOL	$T_J \geq 125^\circ\text{C}$ 、 $V_{CC} \geq V_{CC, \text{最大}}$	3 ロット/77 デバイス	1000 時間/0 エラー
寿命早期エラー率	JESD22-A108, JESD74	ELFR	$T_J \geq 125^\circ\text{C}$ 、 $V_{CC} \geq V_{CC, \text{最大}}$	ELFR 表を参照	$48 \leq t \leq 168$ 時間
低温動作寿命	JESD22-A108	LTOL	$T_J \leq 50^\circ\text{C}$ 、 $V_{CC} \geq V_{CC, \text{最大}}$	1 ロット/32 デバイス	1000 時間/0 エラー
高温保管寿命	JESD22-A103	HTSL	$T_A \geq 150^\circ\text{C}$	3 ロット/25 デバイス	1000 時間/0 エラー
ラッチアップ	JESD78	LU	Class I または II	1 ロット/3 デバイス	0 エラー
電子的パラメータ評価	JESD86	ED	データシート	3 ロット/10 デバイス	T_A データシートごと
ESD 人体モデル	JESD22-A114	ESD-HBM	$T_A = 25^\circ\text{C}$	3 デバイス	分類
ESD 充電 デバイス モデル	JESD22-C101	ESD-CDM	$T_A = 25^\circ\text{C}$	3 デバイス	分類
高速化されたソフトエラー テスト	JESD89-2, JESD89-3	ASER	$T_A = 25^\circ\text{C}$	3 デバイス	分類
システム ソフトエラー テスト	JESD89-1	SSER	$T_A = 25^\circ\text{C}$	最低 $1\text{E}+06$ デバイス 時間または 10 エラー	分類
不揮発性メモリ 消去/書き込み寿命	JESD22-A117	NVCE ¹	$\geq 25^\circ\text{C}$ and $T_J \geq 55^\circ\text{C}$	3 ロット/77 デバイス	サイクル/NVCE ($\geq 55^\circ\text{C}$)/96 および 1000 時間/0 エラー
非サイクル高温データ保持	JESD22-A117	UCHTDR ²	$T_A \geq 125^\circ\text{C}$	3 ロット/77 デバイス	1000 時間/0 エラー
サイクル後高温データ保持	JESD22-A117	PCHTDR ³	オプション 1: $T_J = 100^\circ\text{C}$	3 ロット/39 デバイス	サイクル/NVCE ($\geq 55^\circ\text{C}$)/96 および 1000 時間/0 エラー
			オプション 2: $T_J \geq 125^\circ\text{C}$		サイクル/NVCE ($\geq 55^\circ\text{C}$)/10 および 1000 時間/0 エラー

- メモ: 1. **NVCE** がデバイスをサイクルして、室温でテストを実施し、パーツの機能性とデータシート要件を満たすことを保証します。
2. **UCHTDR** が、サイクルされていないデバイスのデータ保持を高温で確認します。
3. **PCHTDR** が、サイクルされているデバイスのデータ保持を高温で確認します。

Micron テスト方法

比較表 1 (2 ページ) および表 2 (3 ページ) Micron NOR フラッシュ テスト状態は、JESD47I 要件を例外なく満たしています。

表 2: Micron NOR フラッシュ デバイス 適格性テスト

ストレス	略字	状態	要件
高温動作寿命	HTOL	デバイスの継続的な動作を維持 $T_J > 125^\circ\text{C}$ および $V_{CC} > V_{CC, \text{最大}}$	1,000 時間、0 エラー
寿命早期エラー率	ELFR	高速化された初年欠陥 $T_J > 125^\circ\text{C}$ および $V_{CC} > V_{CC, \text{最大}}$	0-168 時間
低温動作寿命	LTOL	$T_J < 50^\circ\text{C}$ 動作 $V_{CC} > V_{CC, \text{最大}}$	1,000 時間、0 エラー
高温保管寿命	HTSL	高温化による欠陥を検出 $T_A > 150^\circ\text{C}$	1,000 時間、0 エラー
ラッチアップ	LU	電圧および I/O の V_{CC} を検証 LU のトリガー電流抵抗の V_{CC} を認 証	0 エラー
電気的パラメータ 評価	ED	テスト データシート パラメータ	QV テスト 85°C および -40°C
ESD 人体モデル	ESD-HBM	人体モデル ESD 抵抗	仕様につき
ESD 充電 デバイス モデル	ESD-CDM	充電デバイス モデル ESD 抵抗	仕様につき
高速化されたソフト エラー テスト	ASER	$T_A = 25^\circ\text{C}$	仕様につき
システム ソフト エラー テスト	SSER	$T_A = 25^\circ\text{C}$	仕様につき
不揮発性メモリ 消去/書き込み 寿命	NVCE	分布サイクルを室温 (25°C)、高温 ($T_J > 55^\circ\text{C}$) で 3 週間	室温および高温サイクルを 1,000 時 間、0 エラー
非サイクル高温データ保持	UCHTDR	$T_A \geq 125^\circ\text{C}$	1000 時間/0 エラー
サイクル後高温データ保持	PCHTDR	オプション 1: $T_J = 100^\circ\text{C}$	サイクル/NVCE ($\geq 55^\circ\text{C}$)/96 および 1000 時間/0 エラー
		オプション 2: $T_J \geq 125^\circ\text{C}$	サイクル/NVCE ($\geq 55^\circ\text{C}$)/10 および 1000 時間/0 エラー

消去/書き込み寿命

本テクニカルノートでは、フラッシュ デバイスで実行される PROGRAM (0)/ERASE (1) 操作の累積数と定義されます。NOR フラッシュは、常にセクタ レベル (別名ブロック) で消去されます。PROGRAM/ERASE 操作はメモリセルを劣化させ、長期間に渡って累積されたサイクルにより、電源、プログラミング、または消去仕様要件をデバイスが満たせなくなり、または、正確なデータパターンを読み込めなくなります。

JEDEC サイクル テスト

JESD47I の定義する NVCE のテストは、2 つの温度で実施されます。デバイスの半分は室温 (25°C) でテストし、もう一方の半分は高温 (55°C) でテストします。時間の制限があるため、デバイスの各ブロックを最大サイクル数 (NOR の場合 100,000 サイクル) を常にサイクルできるとは限りません。JESD47I で説明されているように、NVCE テストは最長 500 時間に制限されており、各デバイスは少なくとも 1 ブロックまたはセクタが 100,000 回サイクルされなくてはなりません。サイクルは、1%、10%、100%ごとにサイクル時間で分け、3 分の 1 のサイクル時間が 1,000、10,000、100,000 となるようにします。

以下の図では、JESD47I を複数ブロック デバイスの分離に使用して、仕様最大の 1%、10%、100%に分離されていることが示されています。サイクル時間の 3 分の 1 は、各サイクル数に使用されており、少なくとも 1 ブロックは最大仕様までサイクルされます。

図 1: JESD47I マルチブロック デバイスの NVCE サイクル

1K	OK	OK	OK	OK	OK	OK	OK	OK	OK	OK
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
10K	10K	10K	10K	10K	10K	10K	10K	10K	10K	100K

Total cycle time = 500 hours (MAX)

Blocks not cycled

1/3 of cycle time for 1000 (1K)

1/3 of cycle time for 10,000 (10K)

1/3 of cycle time for 100,000 (100K)

- メモ:
1. サイクルは 25°C と 55°C で実施します。
 2. 少なくとも 1 ブロックを最大仕様までサイクルします (100,000 サイクル)。

Micron サイクル テスト

Micron NOR 製品ラインは、PROGRAM/ERASE サイクルを 100,000 回実行できるように設計されています。以下の図は、Micron NOR デバイスのテストでブロックがどのように最大仕様 100,000 回の内 1%、10%、100%に分けられるかを示しています。合計サイクル欄に示されているように、サイクル時間の 3 分の 1 は各サイクル数に使用されます。

図 2: Micron NVCE テスト - NOR ダイ例

239	238	237	236	235	234	233	232	231	230	229	228	227	226	225	224	240	241	242	243	244	245	246	247	248	249	250	251	252	253	254	255			
207	206	205	204	203	202	201	200	199	198	197	196	195	194	193	192	208	209	210	211	212	213	214	215	216	217	218	219	220	221	222	223			
175	174	173	172	171	170	169	168	167	166	165	164	163	162	161	160	176	177	178	179	180	181	182	183	184	185	186	187	188	189	190	191			
143	142	141	140	139	138	137	136	135	134	133	132	131	130	129	128	144	145	146	147	148	149	150	151	152	153	154	155	156	157	158	159			
111	110	109	108	107	106	105	104	103	102	101	100	99	98	97	96	112	113	114	115	116	117	118	119	120	121	122	123	124	125	126	127			
79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95			
47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31			
Periphery																																		

	Block Cycle Count	Blocks	Total Cycles
0% of MAX	0	35	0
1% of MAX	1000	202	202,000
10% of MAX	10,000	20	200,000
100% of MAX	100,000	2	200,000
Total		259	602,000

注: 1. サイクルは 25°Cと 55°Cで実施します。

データ保持

本テクニカルノートでは、データ保持は該当データパターンを、NOR フラッシュ デバイスの予測した寿命の期間内保持することと定義しています。データ保持テストでは、特定の PROGRAM/ERASE サイクル数を耐久する上でのデバイスの信頼性について評価します。サイクル後データ保持テストでは、膨大な量の PROGRAM/ERASE サイクルが実行された後のデバイスのデータ保持能力を評価します。

JEDEC データ保持テスト

JESD47I では、2つのテストを実施してデータ保持を検証します。

- 非サイクル高温データ保持 (UCHTDR) テストは、V_{CC}で最高および 125°C で非サイクルデバイスで実施されます。データパターンが入力され、アドレスの継続的な読み取りが 1,000 時間エラーなしで実行できなければなりません。このテスト時間内に合理的なフラッシュ メモリ アプリケーションの許容品質を保証します。
- サイクル後高温データ保持 (PCHTDR) テストは、55°C でサイクルされた NVCE デバイスで実施され、125°C でテストを実施してデータシート違反やデータパターンのインテグリティについて確認します。JESD47I 仕様は、2つの PCHTDR テストフローを定義付けています。
 - テストフロー 1: 最大仕様の 1%、10% でサイクルされたブロックでは、データパターンはブロックでプログラミングされ、ブロックは 125°C で 100 時間ベークしてからテストされます。
 - テストフロー 2: 最大仕様の 100% でサイクルされたブロックでは、データパターンはブロックでプログラミングされ、ブロックは 125°C で 10 時間ベークしてからテストされます。

これらの PCHTDR テストフローでは、ブロックがすべてのデータシート仕様を満たし、データパターンが同一である場合に、デバイスはテストに合格します。データシート違反が発生した場合は、デバイスは不合格になります。

図 3: JESD47I PCHTDR テスト

1K	0K	0K	0K	0K	0K	0K	0K	0K	0K	0K	0K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K	1K
10K	10K	10K	10K	10K	10K	10K	10K	10K	10K	10K	100K

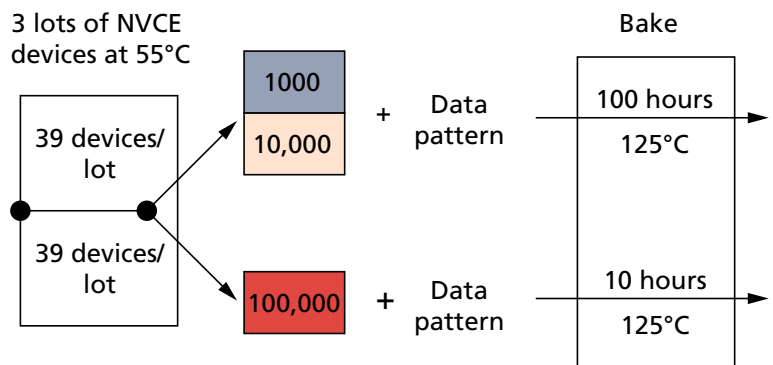
Total cycle time = 500 hours (MAX)

Blocks not cycled

1/3 of cycle time for 1000 (1K)

1/3 of cycle time for 10,000 (10K)

1/3 of cycle time for 100,000 (100K)



Test Results

Pass: Meets data sheet specifications and has the same data pattern

Fail: Does not meet data sheet specifications or has a different data pattern

注: 1. 少なくとも 1 ブロックが最大仕様でサイクルされなくてはなりません (100,000 回)。

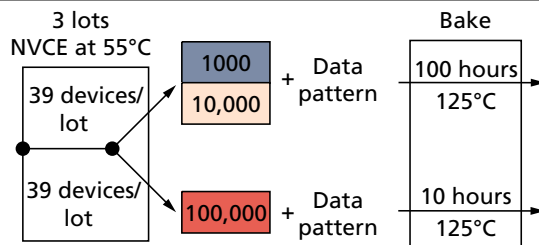
Micron データ保持テスト

Micron では、2 つの JESD47I 準拠データ保持テストを NOR フラッシュ デバイスで実施します。

- Micron **UCHTDR** テストは、動作信頼性エラー率での組み込み電子部品を評価するダイナミックストレステストです。このストレスでは、デバイスを上昇させたジャンクション温度 125°C と V_{CC} で機能を実行してエラーメカニズムを促進します。テスト中、デバイスは順次アドレスを指定され、出力は実行しますが監視または読み取りはされません。チェッカーボードデータパターンは、実際の使用を予測したランダムパターンのシミュレーションに使用されます。最後に、すべてのデバイスが標準データシート要件に対してテストされます。
- Micron の **PCHTDR** テストでは、過度な PROGRAM/ERASE サイクル後のフラッシュセルのデータ保持能力を査定します。以下の図にあるように、PROGRAM/ERASE を 100,000 サイクルしたブロックを 125°C で 10 時間バークし、10,000 サイクルと 1,000 サイクルしたブロックを 100 時間バークします。バーク後に、すべてのデバイスが標準データシート要件に対してテストされます。

図 4: Micron PCHTDR テスト - NOR ダイ例

239	238	237	236	235	234	233	232	231	230	229	228	227	226	225	224	240	241	242	243	244	245	246	247	248	249	250	251	252	253	254	255
207	206	205	204	203	202	201	200	199	198	197	196	195	194	193	192	208	209	210	211	212	213	214	215	216	217	218	219	220	221	222	223
175	174	173	172	171	170	169	168	167	166	165	164	163	162	161	160	176	177	178	179	180	181	182	183	184	185	186	187	188	189	190	191
143	142	141	140	139	138	137	136	135	134	133	132	131	130	129	128	144	145	146	147	148	149	150	151	152	153	154	155	156	157	158	159
111	110	109	108	107	106	105	104	103	102	101	100	99	98	97	96	112	113	114	115	116	117	118	119	120	121	122	123	124	125	126	127
79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95
47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
Periphery																															



Test Results

- Pass: Meets data sheet specifications and has the same data pattern
- Fail: Does not meet data sheet specifications or has a different data pattern or

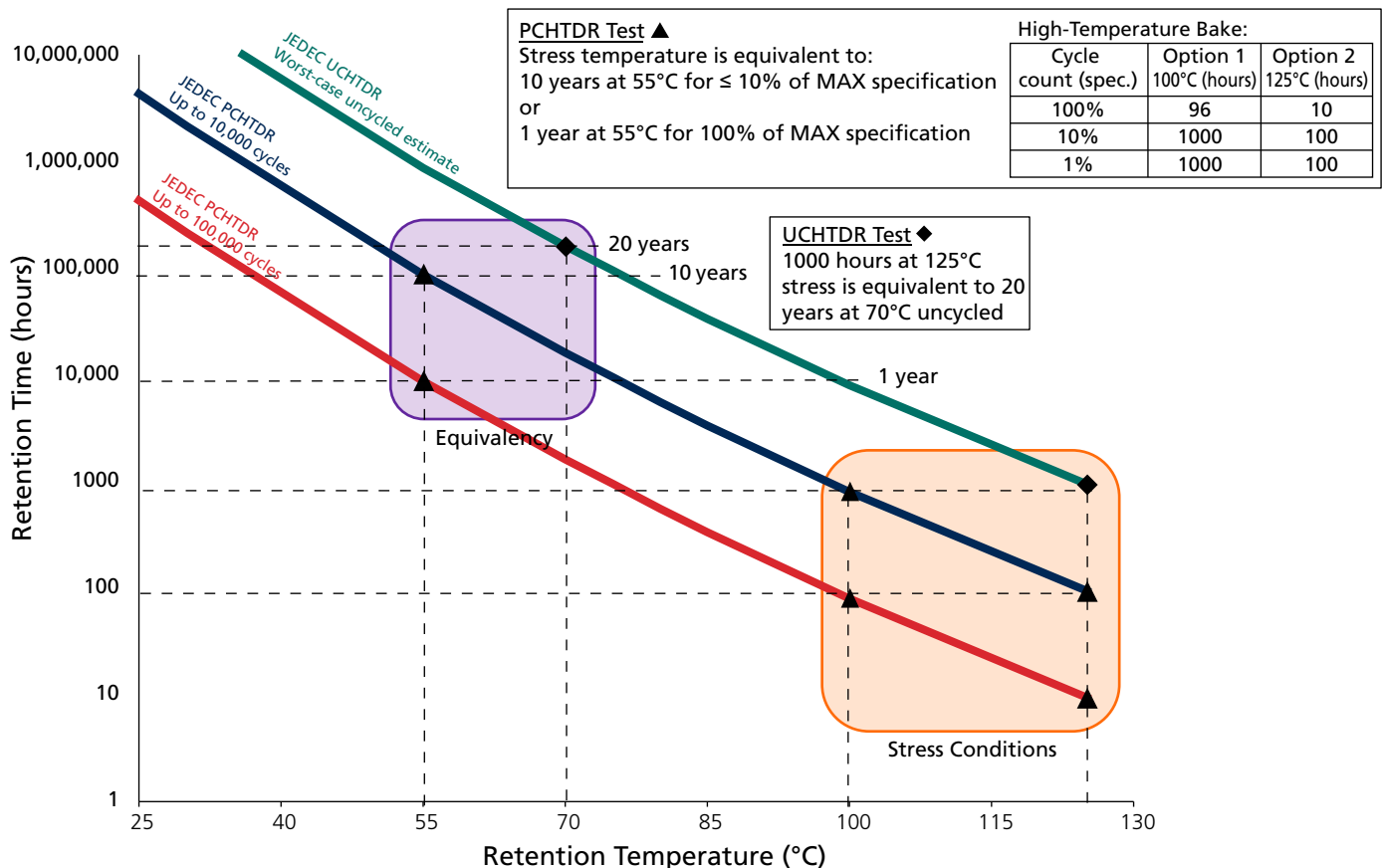
データ保持のモデル化と消去/書き込み寿命

NOR フラッシュ メモリのチャージロスやチャージゲインでの劣化メカニズムは、殆どの場合フラッシュセルのトンネル酸化膜で電子がトラップすることで発生します。これが絶縁膜からの漏れ出しに繋がり、セルの ERASE/WRITE 操作で故障が発生します。

以下の図では、この故障におけるアニール効果は、アレニウスの関係を用いてその温度関係をモデル化することができます。ここでのデトラップに要する活性化エネルギーは、1.1eV です (JESD22-A117 を参照)。アニールおよび緩和は、電界の予測使用時間に依存します。

このモデルでは、サイクルが使用時間内で均一に分布されていることを仮定しています。非サイクルストレス (UCHTDR) での性能は、125°C で 1,000 時間非サイクルストレス、デトラップで 1.1eV のコンサバティブモデルを仮定しています。125°C で 1,000 時間のストレスは、実際の使用では 55°C で 100 年の使用に相当します。非サイクル性能では、この予測と同等またはより長期間の使用が見込まれます。

図 5: データ保持 対 消去/書き込み寿命



- メモ:
1. オレンジ色のストレス状態ボックスに表示されているデータポイントは、UCHTDR テストと PCHTDR テストでの JESD47I 仕様の 5 つの有効な状態を示しています。
 2. 紫色の同等性ボックスに表示されているデータポイントは、テストにおける JESD47I 仕様の同等寿命状態を示しています。
 3. ある特定のブロックでの PROGRAM/ERASE 5 サイクル以下は非サイクルとして定義されます。

アプリケーション事例研究

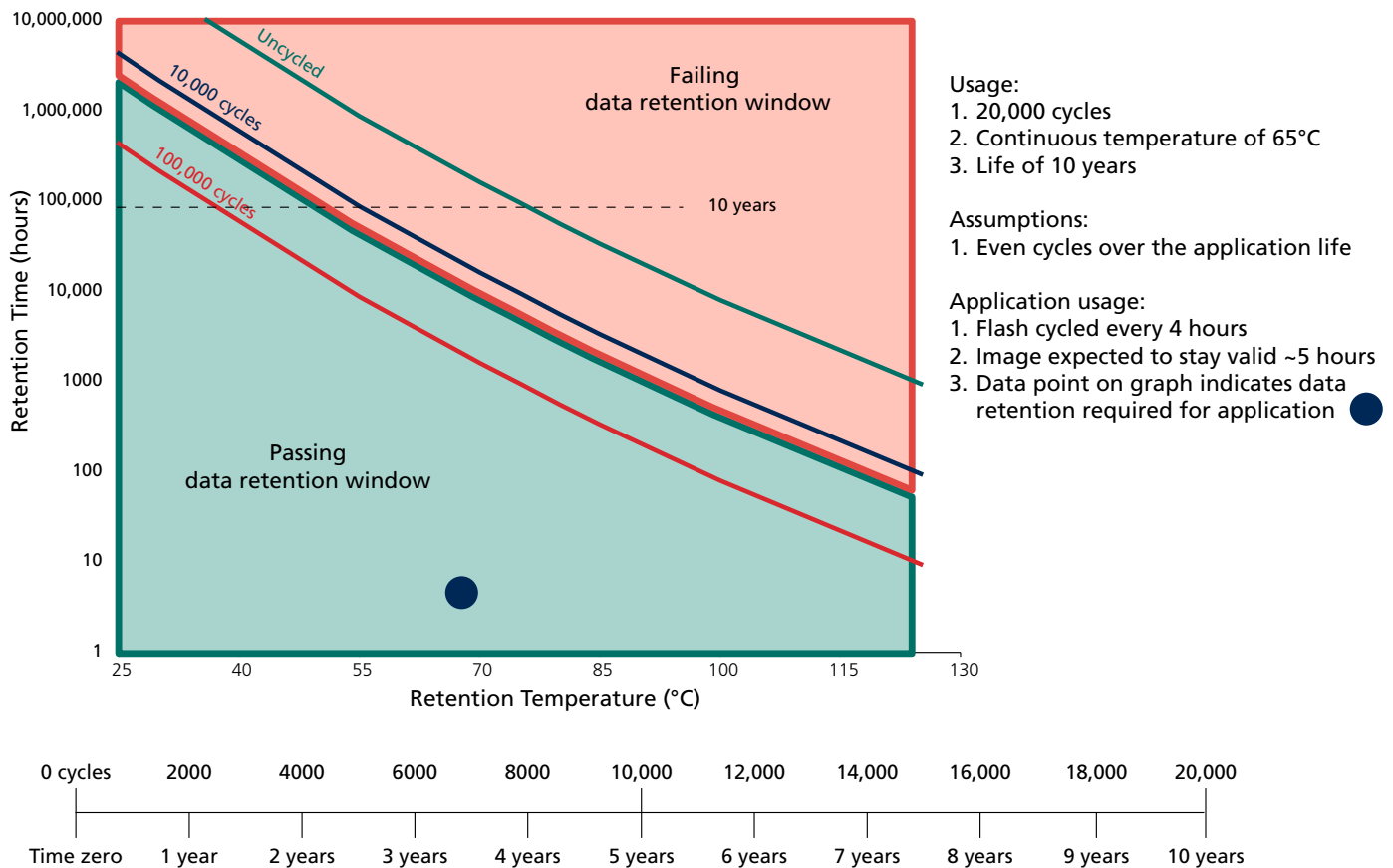
JESD47I 標準は、NOR フラッシュ デバイスの合理的な状態での使用をテストするために設計されており、極限状態での使用については適用できません。Micron は 2 件の事例研究を実施し、1) JESD47I 特定条件内での NOR の使用、2) これらの条件外での NOR の仕様におけるデータ保持について比較しました。これらの事例研究は、Micron NOR フラッシュ デバイスを使用しているアプリケーションの寿命におけるデータ保持問題の識別を促進するものです。

事例研究 #1 - JEDEC 仕様条件内

最初の事例研究では、アプリケーションの寿命は 10 年と予測されており、最悪状態の温度は 65°C です。NOR デバイスのデータ書き込み需要は 20,000 サイクルで、サイクルは 10 年間均一に分布されます。この例では、NOR デバイスは 4 時間に 1 回書き込まれます。

以下の図では、本事例研究のデバイスの消去/書き込みサイクルは均一に分布されていることを示しており、アプリケーション寿命の 10 年間データ保持問題のリスクなくデータを保持できることが示されています。

図 6: 事例研究 #1

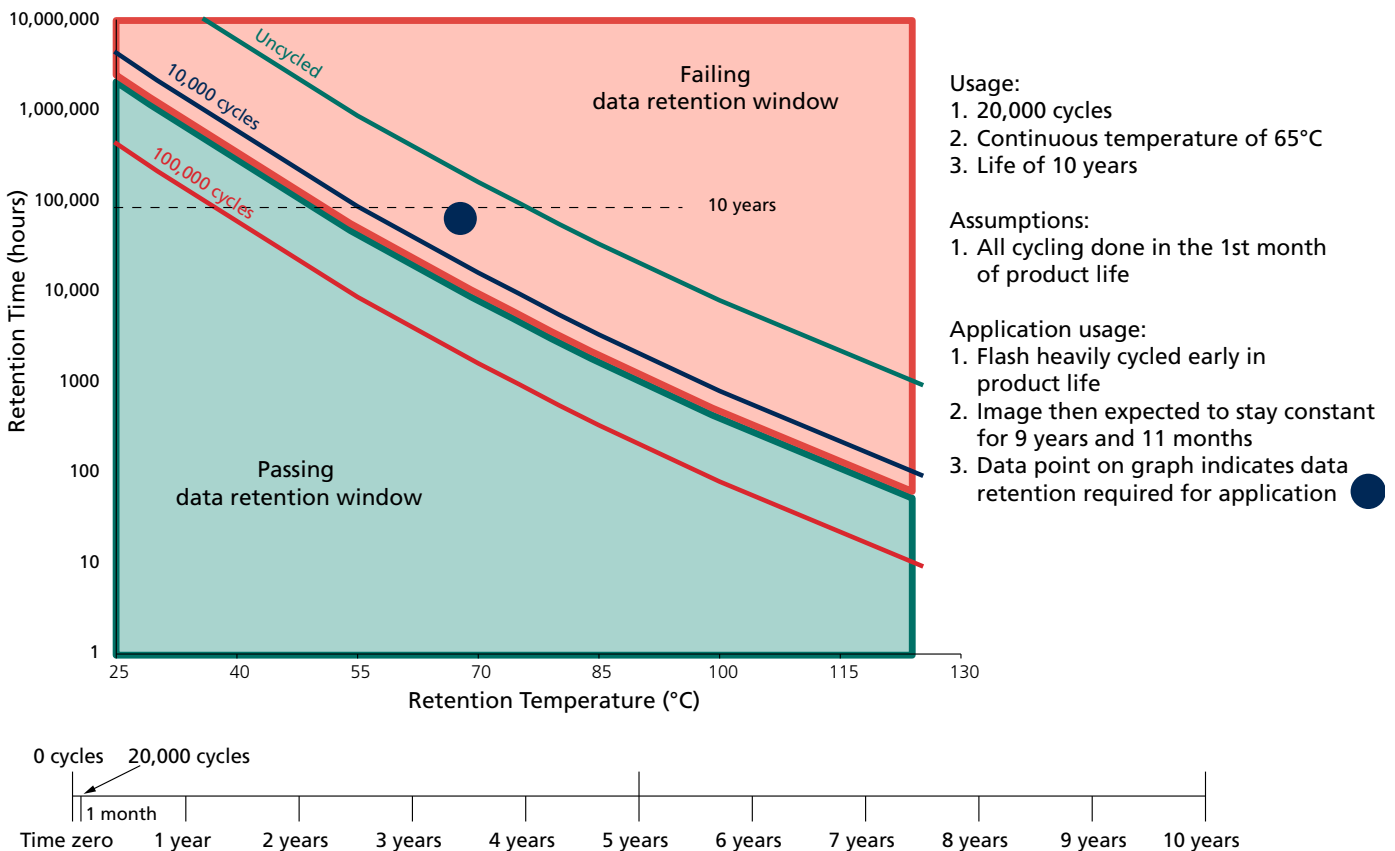


事例研究 #2 - JEDEC 仕様条件外

2つ目の事例研究での使用モデルは最初の事例と同一ですが、サイクル周期が異なります。アプリケーションの寿命は10年と予測されており、最悪状態の温度は65°Cです。10年間に渡って、NOR デバイスのデータは20,000回消去/書き込みサイクルされ、アプリケーション寿命の最初の月に過度なサイクルを予定しており、その後9年11ヶ月はサイクルなしでデータを保持することが想定されています。

以下の図は、本事例研究のアプリケーション寿命の早期に過度のサイクルが発生することにより (JEDEC 仕様条件外)、10年後のアプリケーション寿命を迎えた時点でデータの有効性が確保できないというリスクがあることが示されています。

図 7: 事例研究 #2



製品需要の早期に過度のサイクルが発生することで (事例研究 #2 のように)、データ保持を必要とするアプリケーションのリスクを最小限に抑えるためには、システムソフトウェアをプログラミングしてサイクルブロックのデータを1年または2年ごとに更新し、適切なデータ保持を図ります。データ保持要件を満たすその他のオプションとしては、過度にサイクルされたブロック (データ イメージ) を長期的にデータ保持する必要のあるブロック (コード イメージ) から分離する方法があります。過度なサイクルブロックは、ウェアレベリングを使用して PROGRAM/ERASE サイクルをマルチブロックから分離します。

結果

Micron NOR フラッシュ デバイスは、消去/書き込み寿命とデータ保持におけるすべての JEDEC 要件を満たしています。フラッシュ メモリでは、少なくとも 1 ブロックが仕様最大の 100% サイクルされ、サイクルが 1,000 時間以内に完了することが消去/書き込み寿命に要求されます。すべてのサイクルテストが仕様最大の 100% で実行されるわけではありません。1% や 10% で実行されることもあります。データ保持におけるストレス状態は、実際の使用ケースに比例しており、サイクルされないデバイス、最大仕様の 1% および 10%、100% でサイクルされたデバイスの両方で測定されます。

消去/書き込み寿命とデータ保持は分離できず、温度関数においても相互関係を持っています。サイクルおよびデータ保持におけるアプリケーション要件は、サイクル数、温度、データ保持を必要とする期間などに依存するため多種多様であり、業界標準が有効な使用モデルを提供する場合としない場合があります。

改訂履歴

改訂 A – 07/13

- 初期リリース。

8000 S. Federal Way, P.O. Box 6, Boise, ID 83707-0006, Tel: 208-368-4000
www.micron.com/products/support Sales inquiries: 800-932-4992
Micron and the Micron logo are trademarks of Micron Technology, Inc.
All other trademarks are the property of their respective owners.

This data sheet contains minimum and maximum limits specified over the power supply and temperature range set forth herein.
Although considered final, these specifications are subject to change, as further product development and data characterization some-
times occur.